

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-258022

(43)Date of publication of application : 25.10.1988

(51)Int.CI.

H01L 21/302

H01L 21/30

H01L 21/30

H01L 21/88

(21)Application number : 62-092678

(71)Applicant : ROHM CO LTD

(22)Date of filing : 15.04.1987

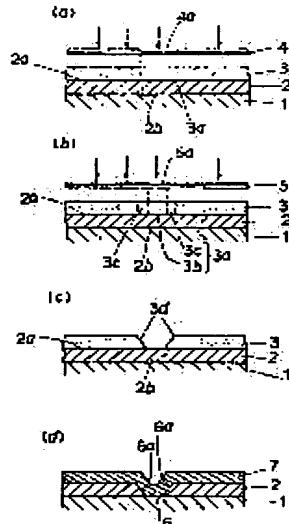
(72)Inventor : KANZAWA AKIRA
IKEMOTO EIJI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To improve the step coverage of a semiconductor device and to prevent an upper layer from cracking by conducting twice exposures when a layer to be etched is anisotropically etched, and executing one of the twice exposures on a pattern boundary of a photoresist layer.

CONSTITUTION: A photoresist layer 3 is formed on a layer 2 to be etched, the layer 3 is exposed with a photomask, then developed to be patterned, and the layer 2 is anisotropically etched. When a semiconductor device is manufactured in this manner, the exposure is conducted by dividing it twice, and the pattern boundary of the layer 3 is exposed only once of the twice. For example, when a contact hole 6 is formed on the SiO₂ layer 2 formed on an Si substrate 1, the layer 3 is first exposed with an ultraviolet ray only by 50% by using a first photomask 4. Further, the remaining 50% ultraviolet exposure is conducted by using a second photomask 5 having a light transmission unit 5a formed smaller than the light transmission unit 4a of the photomask 4, and then developed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

THIS PAGE BLANK (USPTO)

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭63-258022

⑬ Int.CI.

H 01 L 21/302
21/30
21/88

識別記号

3 0 1
3 6 1

庁内整理番号

M-8223-5F
C-7376-5F
V-7376-5F
F-6708-5F

⑭ 公開 昭和63年(1988)10月25日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特願 昭62-92678

⑰ 出願 昭62(1987)4月15日

⑱ 発明者 神澤公 京都府京都市右京区西院溝崎町21番地 ローム株式会社内
⑲ 発明者 池本英二 京都府京都市右京区西院溝崎町21番地 ローム株式会社内
⑳ 出願人 ローム株式会社 京都府京都市右京区西院溝崎町21番地
㉑ 代理人 弁理士 中村茂信

明細書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 被エッチング層表面にホトレジスト層を形成し、このホトレジスト層をホトマスクを使用して露光し、この露光されたホトレジスト層を現像し、これを部分的に除去してパターンづけし、被エッチング層に異方性エッチングを施す半導体装置の製造方法において、

前記露光は、2回に分けて行い、前記ホトレジスト層のパターン境界部には、これら2回の露光の内の1回だけを行うことを特徴とする半導体装置の製造方法。

(2) 前記2回の露光には、互いにパターン境界部の異なる1対のホトマスクをそれぞれ使用する特許請求の範囲第1項記載の半導体装置の製造方法。

(3) 前記2回の露光は、いずれも同じホトマスクを使用し、2回目の露光時には、1回目の露光

時の位置よりホトマスクを微小距離ずらす特許請求の範囲第1項記載の半導体装置の製造方法。

3. 発明の詳細な説明

(イ) 産業上の利用分野

この発明は、半導体装置の製造方法に関し、詳しく言えば、エッチング処理の改良に関する。

(ロ) 従来の技術

エッチングは、被エッチング層より不要な部分を除去する技術として、各種半導体装置の製造において、大きな役割を果している。このエッチング技術としては、従来よりウエットエッチング、プラズマエッチングが用いられている。しかし、これらのエッチング技術は、等方性のエッチングであり、パターンの微細化（例えば1MBのメモリチップ）には追従できない。

そこで、微細加工を可能とするエッチング技術として、反応性イオンエッチング (RIE : Reactive Ion Etching) 、イオンビームエッチングが開発された。これらのエッチング技術は、イオンの入射方向にエッチングが進む、いわゆる異方

性のエッティングであり、微細な加工を可能とするものである。第3図及び第4図は、RIEを適用したエッティング例を示している。

第3図は、シリコン(Si)基板21上に形成された二酸化ケイ素(SiO₂)絶縁層22に、コンタクトホール26を形成する場合を示している。

まず、SiO₂絶縁層22上に均一にホトレジスト23を塗布し、これをホトマスク(図示せず)を使用して露光・現像し、コンタクトホールに対応する部分23aのホトレジストを除去する(第3図(a)参照)。

次に、RIEを施して、SiO₂絶縁層22にコンタクトホール26を形成する(第3図(b)参照)。コンタクトホール26は、RIEの異方性により、内面26aが垂直に切立ったシャープな形状となっている。

第4図は、絶縁層33上に配線34aをバーニング形成する場合を示している。まず、絶縁層33上に全面に亘りアルミニウム(A2)層34

をスパタリングにより形成する。そして、A2層34上にホトレジスト層を形成し、これを先と同様ホトマスク(図示せず)を使用して露光・現像し、配線34aを形成したい部分にのみホトレジスト層35を残す(第4図(c)参照)。

そして、RIEにより、配線34aを残してA2層34を除去する(第4図(d)参照)。この場合も、RIEの異方性のため、配線34aの断面形状は側面の切立ったシャープなものとなる。

(ハ) 発明の解決しようとする問題点

異方性エッティングは、上述のようにシャープな加工が行え、パターンの微細化を可能とすることができる反面、加工のシャープさの故に以下のような不都合が生じる。

第3図に示す、コンタクトホール26の場合には、配線27を形成した時に、コンタクトホール26内面26aが垂直に切立つ段となっているため、この段で配線27が途切れる、すなわちステップカバレッジが低下する不都合があった(第3図(c)参照)。

第4図に示す場合には、配線34aの断面形状が垂直に切立っているため、ステップカバレッジが問題になると共に、上層の絶縁層37を形成した時に配線34aのエッジeにより、上層絶縁層37にクラックcが生じる(第4図(c)参照)。クラックc生じると、洗浄の際に水が、このクラックcより浸入し、半導体装置の信頼性が低下する不都合があった。

この発明は、上記に鑑みなされたものであり、ステップカバレッジの向上及び上層のクラックの防止を可能とする半導体装置の製造方法の提供を目的としている。

(ニ) 問題点を解決するための手段

この発明の半導体装置の製造方法は、被エッティング層表面にホトレジスト層を形成し、このホトレジスト層をホトマスクを使用して露光し、この露光されたホトレジスト層を現像して、これを部分的に除去してパターンづけし、被エッティング層に異方性エッティングを施す方法において、前記露光は2回に分けて行い、前記ホトレジスト層のバ

ターン境界部には、前記2回の露光の内の1回だけを行うものである。

(ホ) 作用

この発明の半導体装置の製造方法において、ホトレジスト層のバターン境界部は完全には露光していないから、ホトレジスト層を現像した時に完全に露光した部分(又は全く露光していない部分)とは反応速度が異なり、バターン境界部にはホトレジストの一端が残ることとなる。即ち、バターン境界部においては、ホトレジストの層厚が徐々に変化するテーパ状となる。

この状態で被エッティング層に異方性エッティングを施すと、バターン境界部においては、ホトレジストのテーパ形状に従ってエッティングされる。そして、被エッティング層のバターン境界部もテーパ形状となり、又そのエッジを鈍角にすることが可能となる。従って、ステップカバレッジの向上及び上層のクラック防止が可能となる。

(ヘ) 実施例

<実施例1>

この発明の第1実施例を第1図に基づいて以下に説明する。

この第1実施例は、シリコン(Si)基板1表面に形成されたSiO₂絶縁層(被エッチング層)2に、コンタクトホール6を本発明方法を適用して形成する例を示している。このSiO₂絶縁層表面2aには、まずホトレジスト層3が形成される。ホトレジストは、ポジ型、ネガ型のいずれでもよいが、本実施例では、ポジ型レジストを使用している。

このホトレジスト層3は、まず第1のホトマスク4を使用して、50%だけ紫外線露光される〔第1図(a)参照〕。ホトマスク4は、SiO₂絶縁層2のコンタクトホール形成部2b上に、透光部4aを有している。透光部4aを透過した紫外線は、コンタクトホール形成部2b直上のホトレジスト層3の一部3aに、50%の感光反応を生じさせる。

さらに、ホトレジスト層3は、第2のホトマスク5を使用して、残りの50%紫外線露光される

ン(CHF₃)等が使用される。このコンタクトホール6の内面6aは、ホトレジストテーパ部3dに対応するテーパ状となる。

さらに第1図(d)には、SiO₂絶縁層表面2aに形成される配線7を示している。この配線7は、アルミニウム(Al)よりなり、スパッタリングにより形成される。コンタクトホール内面6aは、テーパ状であるので、この内面6aにもアルミニウム(Al)がよく付着し、配線7が切れる事はない。

<実施例2>

この発明の第2の実施例を第2図に基づいて説明する。

この第2実施例は、MOS-ICのゲート電極形成(ポリシリコン配線)に本発明を適用したものである。Si基板12表面には、SiO₂膜13a、13b、13cが形成されており、またSi基板12表面の一部は、ソース拡散層12a、ドレイン拡散層12bとされている〔第2図(a)参照〕。

(第1図(b)参照)。ホトマスク5の透光部5aは、ホトマスク4の透光部4aよりも透光面積が小さくされる。透光部5aを透過した紫外線は、ホトレジスト層3の一部3bに50%の感光反応を生じさせる。この3bの部分は、前記3aの部分の一部であり、3bの部分は100%露光されたことになる。また、3aの部分に属するが、3bの部分には属さない部分(パターン境界部)3cは、50%だけ露光されることになる。

2回の露光の終了したホトレジスト層3は、現像される。ホトレジスト層3の3b部分は、100%感光しているため、完全になくなり、SiO₂絶縁層表面2aが露出する〔第1図(c)参照〕。また、3c部分は、50%だけ露光しているため、3bの部分よりも現像反応速度が遅く、ホトレジストが残り、上方に拡がるテーパ3dが形成される。

統いて、RIEが施され、コンタクトホール6がSiO₂絶縁層2に形成される〔第1図(d)参照〕。RIEの反応ガスとしては、三フッ化メタ

上述のSi基板12には、CVD(chemical vapor deposition)により、表面全体に亘り、ポリシリコン層14が形成される。ポリシリコン層14上には、さらにポジ形ホトレジストよりなるホトレジスト層15が、塗布形成される。

このSi基板12上には、ホトマスク16が置かれて紫外線が照射され、ホトレジスト層15が50%露光される。ホトマスク16の遮光部16aの幅W₁は、SiO₂層13bの幅W₂より小さくされている。この遮光部16aは、SiO₂膜13b上に位置するが、1回目の露光では第2図(a)紙面右寄りとされる。

統いて、2回目の露光が行われるが、これに先立ちホトマスク16を第2図(b)紙面左方向に動かし、遮光部16aが、SiO₂層13b直上左寄りに位置するようにされる。そして、紫外線を照射して、ホトレジスト層15を残り50%露光させる。

第2図(c)は、ホトレジスト層15を現像した後の状態を示す。ポリシリコン層14上で、SiO₂

特開昭 63-258022 (4)

膜 13 b 直上には、ホトレジスト 15 a が残留する。ホトレジスト 15 a の中心部 15 a a は、全く露光されていないため、均一な厚さで残る。

しかし、ホトレジスト 15 a の側部（パターン境界部）15 a b, 15 a b は、それぞれ 1 回露光されており 50% 感光している。このため、側部 15 a b, 15 a b は現像反応の速度が遅く、テーパ状となり、ホトレジスト 15 a の断面形状は、全体として上辺の短い台形となる。

第 2 図(c)に示す状態の Si 基板 12 に、RIE を施すと、SiO₂ 層 13 b の上に、断面形状が上辺の短い台形状のポリシリコン配線 14 a が残される〔第 2 図(d)参照〕。Si 基板 12 上には、リングラス (PSG) 層 17 が形成される。ポリシリコン配線 14 a の断面形状は、台形であり、PSG 層 17 により側面 14 a a も十分に被覆される。また、ポリシリコン配線 14 a のエッジ e, e は純角となり、PSG 層 17 にクラックのはいるおそれはない。

PSG 層 17 上には、A & 配線 18 a, 18 b,

18 c が形成される。これら A & 配線 18 a, 18 b, 18 c は、それぞれソース拡散層 12 a、ポリシリコン配線 14 a、ドレイン拡散層 12 b にコンタクトしている。

なお、上記第 1、第 2 の実施例では、異方性エッチングとして、RIE を行っているが、イオンビームエッチングを行ってもよい。

また、上記第 1、第 2 の実施例では、ホトレジスト層の露光に、紫外線を使用しているが、遠紫外線や X 線を使用してもよく、適宜変更可能である。

(ト) 発明の効果

以上説明したように、この発明の半導体装置の製造方法は、被エッチング層のパターン境界部にテーパを形成するものであるから、ステップカバレッジを向上できると共に、上層絶縁層のクラックを防止できる利点を有している。

4. 図面の簡単な説明

第 1 図(a)、第 1 図(b)、第 1 図(c)及び第 1 図(d)は、それぞれこの発明の第 1 の実施例を説明するため

のシリコン基板の要部断面図、第 2 図(a)、第 2 図(b)、第 2 図(c)及び第 2 図(d)は、それぞれこの発明の第 2 の実施例を説明するためのシリコン基板の要部断面図、第 3 図(a)、第 3 図(b)及び第 3 図(c)は、それぞれ従来技術を説明するためのシリコン基板の要部断面図、第 4 図(a)、第 4 図(b)及び第 4 図(c)は、それぞれ他の従来技術を説明するための要部断面図である。

2 : SiO₂ 絶縁層, 3・15 : ホトレジスト層,
4・5・16 : ホトマスク,

6 : コンタクトホール,

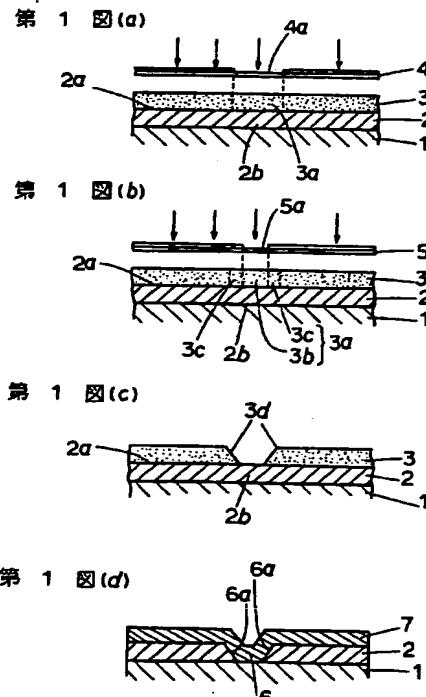
14 a : ポリシリコン配線。

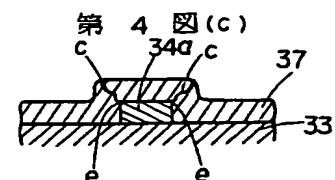
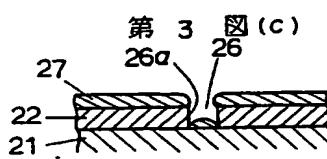
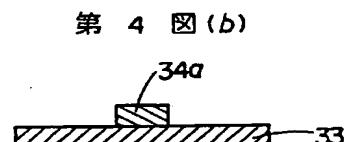
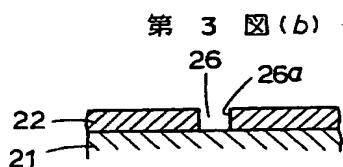
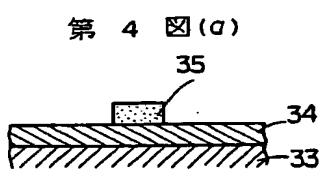
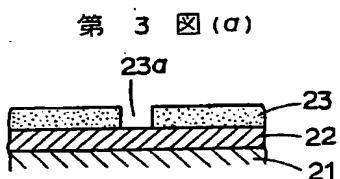
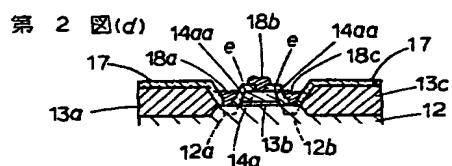
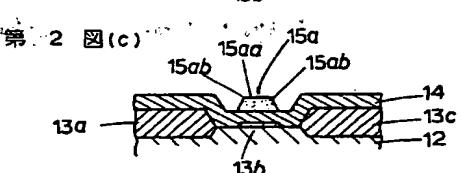
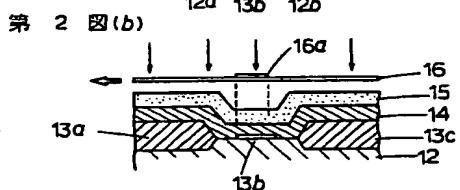
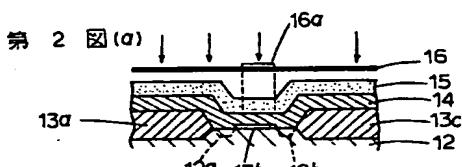
特許出願人

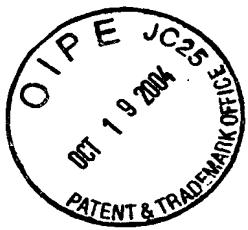
ローム株式会社

代理人

弁理士 中村茂信







THIS PAGE BLANK (USPTO)